

Japanese Laid-open Patent

Laid-open Number: Hei 5-67635
Laid-open Date: March 19, 1993
Application Number: Hei 3-229120
Filing Date: September 9, 1991
Applicant: Oki Electric Industry Co., Ltd.

[Title of the Invention]

Method of Manufacturing A Semiconductor Device

[Abstract]

[Object] The present invention provides a method of manufacturing a thin film transistor using a polycrystalline silicon film as an active layer. The method eliminates variation in the characteristics which accompanies an enlarged grain size of the polycrystalline silicon film.

[Constitution] In order to attain the aforementioned purpose, according to the present invention, first, before solid phase crystallization of an amorphous silicon film, a region where a crystal nucleus is formed with priority is selectively formed in the film.

[Scope of Claims]

[Claim 1] A method of manufacturing a semiconductor device for forming a polycrystalline semiconductor film by solid phase crystallization of an amorphous semiconductor film, the method being characterized in that:

a region where a crystal nucleus is generated with priority is selectively formed in said amorphous semiconductor film before said solid phase crystallization.

[Claim 2] A method of manufacturing a semiconductor device as claimed in claim 1, characterized in that said region where a crystal nucleus is formed with priority is formed by selectively forming a heavily doped impurity region.

[Claim 3] A method of manufacturing a semiconductor device as claimed in claim 1, characterized in that said region where a crystal nucleus is formed with priority is formed by selectively forming a region having a high concentration of silicon in an insulating film in contact with said amorphous semiconductor film.

[Claim 4] A method of manufacturing a semiconductor device as claimed in claim 1, characterized in that said region where a crystal nucleus is formed with priority is formed by forming a region of an alloy or a compound of said amorphous semiconductor film and a metal.

[Detailed Description of the Invention]

[0001]

[Field of the Industrial Application]

The present invention relates to a method of forming a polycrystalline silicon film of a so-called thin film transistor using the polycrystalline silicon film as an active layer.

[0002]

[Prior Art]

A thin film transistor using as an active element a semiconductor thin film formed on an insulating film is extremely advantageous in attempting high integration of an integrated circuit. Conventionally, Japanese Patent Application Laid-open Nos. Sho 60-62159 and Sho 61-116874 disclose relevant technology of this kind. Both of them disclose a thin film transistor formed on an ordinary MOS transistor. As disclosed in them, as a semiconductor thin film for forming a thin film transistor, a polycrystalline silicon film is often used due to its easiness in manufacturing.

[0003]

However, it has been found that characteristics of the polycrystalline silicon thin film transistor are considerably inferior to those of a device on single crystalline silicon, since crystal defects exist in grains and at grain boundaries of the polycrystalline silicon of the polycrystalline silicon thin film transistor. Therefore, steps to deal with this are taken including: (1) hydrotreatment where these crystal defects are electrically inactivated by hydrogen atoms; and (2) a method where polycrystalline silicon having a larger grain size is used to make smaller the

influence of the crystal grain boundaries on the electric characteristics.

[0004]

Recently, a method where amorphous silicon is crystallized in the solid phase has been developed. It has been found that the grain size, which is usually about 0.1 μm , becomes as large as 1 - 5 μm . A method of manufacturing a polycrystalline silicon thin film transistor utilizing this method is described in the following with reference to Fig. 2.

[0005]

First, as illustrated in Fig. 2(a), a silicon substrate 1 is prepared and an insulating film 2 and a gate electrode 3 are formed. Further, a gate insulating film 4 is formed thereon. The gate insulating film 4 may be, for example, a silicon oxide film formed by CVD, or may be formed by thermal oxidation of polycrystalline silicon used as the gate electrode. The film thickness is typically about 40 nm.

[0006]

An amorphous silicon film 5 with a thickness of 10 - 100 nm is formed thereon as illustrated in Fig. 2(b). The amorphous silicon film 5 may be formed by any of electron beam deposition, CVD, and silicon ion implantation into a polycrystalline silicon film.

[0007]

Then, as illustrated in Fig. 2(c), by carrying out heat treatment in N_2 at $550^{\circ}C$ - $650^{\circ}C$ for five to fifteen hours, solid phase crystallization is carried out to obtain a polycrystalline silicon film 5a having a crystal grain size of 1 - 5 μm .

[0008]

After that, as illustrated in Fig. 2(d), the polycrystalline silicon film 5a is patterned. Then, phosphorus ions are selectively implanted to form source/drain diffusion regions 7. Further, an interlayer insulating film 8 and a wiring electrode 9 are formed.

[0009]

[Problem to be solved by the Invention]

However, the method described in the above has a drawback in that the variation (deviation) in the transistor characteristics is large.

[0010]

According to this method, while a crystal grain of several μm can be obtained at a maximum, the size of a transistor using the crystal is about 1 μm . In this case, the transistor characteristics differ greatly depending on whether a grain boundary is included in a channel or not.

[0011]

Positions of crystal nuclei are not controlled, and thus, the grain size has a certain distribution. Therefore, whether a grain boundary is included in a channel or not is a random event

and totally uncontrollable.

[0012]

In order to eliminate the above-described problem of the variation in the characteristics accompanying an enlarged grain size, the present invention provides a method for controlling a crystal grain boundary such that the crystal grain boundary is aligned with a channel region of a transistor, thereby forming a transistor having excellent characteristics with a small variation.

[0013]

[Means for Solving the Problem]

In order to attain the aforementioned object, according to the present invention, in a method of manufacturing a polycrystalline thin film by solid phase growth, a position of a crystal nucleus is controlled by selectively forming a prioritized nuclear generation region and forming a crystal nucleus in the region with priority, and a region to be a channel region of a transistor is crystallized by solid phase growth from the prioritized nuclear generation region.

[0014]

[Action]

As described in the above, according to the present invention, since a prioritized nuclear generation region is selectively formed when solid phase crystallization is carried out, places where crystal nuclei are generated with priority can be formed with good

controllability, and thus, a crystal grain boundary existing in a channel region of a thin film transistor can be controlled.

[0015]

This makes it possible to suppress, to a minimum, the conventionally observed variation in the characteristics accompanying an enlarged grain size.

[0016]

[Embodiment]

A first embodiment according to the present invention is described in detail in the following using Fig. 1.

[0017]

First, similarly to the case of the prior art, a silicon substrate 1 having an insulating film 2, a gate electrode 3, and a gate insulating film 4 is prepared (Fig. 1(a)).

Then, an amorphous silicon film 5 with a thickness of 50 nm is formed. Next, a pattern for defining source/drain diffusion regions is formed using photoresist. Then, phosphorous ions are implanted under conditions of 1×10^{14} ions/cm² and 40keV to form heavily doped regions 6 (the regions are to be source/drain regions) (Fig. 1(b)).

After that, heat treatment is carried out in N₂ at 600°C for fifteen hours. Here, as illustrated in the relationship between time period of the heat treatment and crystalline fraction of Fig. 3, the more heavily doped the region is, the faster a crystal nucleus

is generated and the faster the crystallization is. Therefore, polycrystallization begins from the heavily doped regions 6. In other words, the heavily doped regions 6 are regions referred to as prioritized nuclear generation regions. Before crystallization begins in a lightly doped region (or an undoped region), crystallization of the heavily doped regions 6 is completed. Therefore, generation and growth of a nucleus in the lightly doped region are not carried out freely (randomly). Rather, the crystallization progresses by solid phase (epitaxial) growth with polycrystalline silicon 5a in the heavily doped regions 6 being as seeds. Thus, free (random) nuclear generation is not caused in a channel region sandwiched between the heavily doped regions 6, and the crystallization begins from the heavily doped regions 6 on both sides. This controls the position of a crystal grain boundary in the channel region and allows existence of only one crystal grain boundary at any time. (Fig. 1(c))

After that, the polycrystalline silicon film 5a is patterned /separated. Then, if necessary, heat treatment of the ion implantation seeds is carried out for activation. Further, an interlayer insulating film 8 and a wiring electrode 9 are formed. Further, if necessary, an additional interlayer insulating film and an additional wiring electrode may be formed to form multilayer wiring.

[0018]

Next, a second embodiment according to the present invention is described in detail using Fig. 5.

[0019]

First, similarly to the conventional case, a silicon substrate 1 having an insulating film 2, a gate electrode 3, and a gate insulating film 4 is prepared (Fig. 5(a)).

Then, silicon/ion implantation with the dose being about 10^{20} cm^{-2} is selectively carried out by ion implantation to form a region 10 having a high concentration of silicon from the surface of the insulating film 2 to both side portions of the gate insulating film 4. (Fig. 5(b))

Then, an amorphous silicon film 5 with a thickness of 50 nm is formed. (Fig. 5(c))

After that, heat treatment is carried out in N_2 at about 600°C for about fifteen hours. Here, since a crystal nucleus is generated faster in the region 10 having a high concentration of silicon, polycrystallization begins from the region 10 having a high concentration of silicon. In other words, the region 10 having a high concentration of silicon is a prioritized nuclear generation region. The crystallization progresses by solid phase (epitaxial) growth with the region 10 being as a seed to form a polycrystalline silicon film 5a. This controls the position of a crystal grain boundary in a region to be a channel and allows existence of only one crystal grain boundary at any time. (Fig. 5(d))

After that, the polycrystalline silicon film 5a is patterned /separated. Then, ion implantation/heat treatment for activation for forming a source/a drain are carried out, and further, an interlayer insulating film 8 and a wiring electrode 9 are formed. If necessary, an additional interlayer insulating film and an additional wiring electrode may be further formed to form multilayer wiring. (Fig. 5(e))

Further, a third embodiment is described using Fig. 6.

[0020]

First, similarly to the conventional case, a silicon substrate 1 having an insulating film 2, a gate electrode 3, and a gate insulating film 4 is prepared, and further, an amorphous silicon film 5 with a thickness of 50 nm is formed. (Fig. 6(a))

After that, metal films 11 with a thickness of about 20 - 50 nm are selectively formed on the amorphous silicon film 5 so as to overlap both side portions of the gate electrode 3 by a small amount. The method of forming them may be selective etching using photolithography technology, ion assisted CVD utilizing an ion beam, or the like. (Fig. 6(b))

After that, heat treatment is carried out in N₂ at about 600°C for about fifteen hours. Here, by appropriately selecting the kind of the metal films 11, the metal films 11 react with the amorphous silicon film 5 to form an alloy or an intermetallic compound. An example of the former is Au (gold), while examples of the latter

are Pt (platinum) and Pd (palladium). Since these metals become crystalline or polycrystalline when they react with amorphous silicon, crystallization progresses by solid phase (epitaxial) growth with the (poly)crystalline region, that is, a prioritized nuclear generation region, being as a seed to form a polycrystalline silicon film 5a. This controls the position of a crystal grain boundary in a region to be a channel and allows existence of only one crystal grain boundary at any time. (Fig. 6(c))

After that, the polycrystalline silicon film 5a is patterned /separated. Then, ion implantation/heat treatment for activation for forming a source/a drain are carried out, and further, an interlayer insulating film 8 and a wiring electrode 9 are formed. If necessary, an additional interlayer insulating film and an additional wiring electrode may be further formed to form multilayer wiring. (Fig. 6(d))

[0021]

In the embodiments described in the above, the prioritized nuclear generation regions are the same as the source/drain regions 7. However, the positional relationship between the heavily doped regions 6 and the source/drain regions 7 is not limited thereto. For example, as illustrated in Fig. 4(a), as far as the prioritized nuclear generation regions exclude the channel region and fully include the source/drain regions, by patterning the polycrystalline silicon film, the channel region and the source/drain regions can

be formed.

[0022]

Or, as illustrated in Fig. 4(b), as far as the prioritized nuclear generation regions are included in the source/drain regions, a similar crystal grain boundary can be formed.

[0023]

Further, prioritized nuclear generation regions may be outside an element region. In this case, by a process of separating the element region, the prioritized nuclear generation regions no longer influences the element region. For example, as illustrated in Fig. 4(c), when the prioritized nuclear generation regions are beside the channel region, a crystal grain boundary is generated in parallel with the direction of current of the channel, which makes it possible to make smaller the influence of the crystal grain boundary on the electric characteristics.

[0024]

Further, the present embodiments are examples where a gate electrode is below a channel region, that is, a so-called reverse-structured transistor. However, even in a forward-direction transistor, if a gate electrode and source/drain regions are formed using a different pattern (non-self-aligning manner), implementation almost similar to the present embodiments can be made.

[0025]

Further, with regard to a method where source/drain regions are formed in a self-aligning manner with respect to a gate electrode (self-aligning manner), the present invention is applicable if steps before the gate electrode is formed are carried out at or below a temperature where amorphous silicon is crystallized (about 550°C).

[0026]

Further, though embodiments where a MOS field effect transistor is used are described, the present invention is not limited thereto if a polycrystalline silicon thin film is used and there is a region to be a prioritized nuclear generation region. For example, the present invention is applicable to a junction field effect transistor, a bipolar transistor, a resistor, or the like.

[0027]

[Effect of the Invention]

As described in the above, according to the present invention, since a prioritized nuclear generation region is selectively formed when solid phase crystallization is carried out, places where crystal nuclei are generated with priority can be formed with good controllability, and thus, a crystal grain boundary existing in a channel region of a thin film transistor can be controlled.

[0028]

This makes it possible to suppress to a minimum the conventionally observed variation in the characteristics accompanying an enlarged grain size.

[0029]

Further, in the first embodiment, since what is done is only to carry out before the solid phase crystallization the ion implantation for forming the source/drain, what is conventionally carried out after the polycrystalline silicon film is formed, the number of the steps is not increased, and thus, the characteristics can be improved with the conventional number of the steps remaining the same.

[Brief Description of the Drawings]

[Fig. 1] First embodiment according to the present invention

[Fig. 2] Prior art

[Fig. 3] Relationship between time period of heat treatment and crystalline fraction

[Fig. 4] Examples of arrangement in an element formed according to the present invention

[Fig. 5] Second embodiment according to the present invention

[Fig. 6] Third embodiment according to the present invention

[Description of Symbols]

- 1 silicon substrate
- 2 insulating film
- 3 gate electrode
- 4 gate insulating film
- 5 amorphous silicon film
- 5a polycrystalline silicon film

- 6 heavily doped region
- 10 region having a high concentration of silicon
- 11 metal film

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
009436377 **Image available**

WPI Acc No: 1993-129894/199316

XRAM Acc No: C93-057770

XRPX Acc No: N93-099067

Mfr. of semiconductor device for thin film transistor - selectively forms
region where crystal nucleus is generated in amorphous semiconductor film
before solid phase crystallisation NoAbstract

Patent Assignee: OKI ELECTRIC IND CO LTD (OKID)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5067635	A	19930319	JP 91229120	A	19910909	199316 B

Priority Applications (No Type Date): JP 91229120 A 19910909

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 5067635	A	7	H01L-021/336	
------------	---	---	--------------	--

Title Terms: MANUFACTURE; SEMICONDUCTOR; DEVICE; THIN; FILM;
TRANSISTOR; SELECT; FORM; REGION; CRYSTAL; NUCLEUS; GENERATE;
AMORPHOUS; SEMICONDUCTOR; FILM; SOLID; PHASE; CRYSTAL; NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/336

International Patent Class (Additional): H01L-021/20; H01L-027/12;
H01L-029/784

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04075935 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: **05-067635** [JP 5067635 A]

PUBLISHED: March 19, 1993 (19930319)

INVENTOR(s): KATO TERUO

APPLICANT(s): OKI ELECTRIC IND CO LTD [000029] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 03-229120 [JP 91229120]

FILED: September 09, 1991 (19910909)

INTL CLASS: [5] H01L-021/336; H01L-029/784; H01L-021/20; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1401, Vol. 17, No. 386, Pg. 13, July 20, 1993 (19930720)

ABSTRACT

PURPOSE: To control the crystal grain boundary existing in a channel region for minimizing variation of the characteristics due to the increased particle diameter by a method wherein, during the formation step of the polycrystal silicon film in a thin film transistor using the polycrystal silicon film as an active layer, a precedent nucleus producing region is selectively formed during the solid phase crystallizing step.

CONSTITUTION: Firstly, a silicon substrate 1 having an insulating film 2, a gate electrode 3, a gate insulating film 4 is prepared. Next, an amorphous silicon film 5 is formed; a pattern specifying a source drain diffused region 7 is formed; phosphorus is ion-implanted to form a high concentration region 6; and then the whole body is heat-treated. At this time, the high concentration region 6 is turned into a precedent nucleus producing region further to be crystallized by the solid state growing step of the polycrystal silicon film 5a while in a channel region, the position of crystal grain boundary can be controlled without the free nucleus production at all. Later, after pattern-separating the polycrystal silicon film 5a, an inter-layer insulating film 8 and a wiring electrode 9 are formed.

特開平5-67635

(43) 公開日 平成5年(1993)3月19日

(51) Int. Cl. ⁵

識別記号

F I

H01L 21/336

29/784

21/20

27/12

9171-4M

8728-4M

9056-4M

H01L 29/78

311

Y

審査請求 未請求 請求項の数 4 (全7頁)

(21) 出願番号

特願平3-229120

(22) 出願日

平成3年(1991)9月9日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 加藤 輝男

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

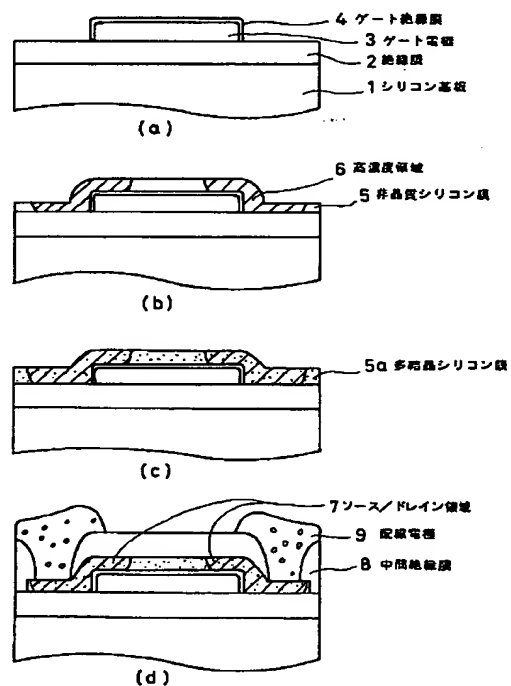
(74) 代理人 弁理士 鈴木 敏明

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 本発明は、多結晶シリコン膜を活性層として用いた薄膜トランジスタにおける、その多結晶シリコン膜の大粒径化に伴う特性のばらつきをなくす製法を提供するものである。

【構成】 前述の目的のために本発明では、非晶質シリコン膜を固相結晶化する前に、その膜に優先的に結晶核が発生する領域を選択的にまず形成するようにした。



本発明の第1の実施例

【特許請求の範囲】

【請求項 1】 非晶質半導体膜を固相結晶化することにより多結晶半導体膜を形成する半導体装置の製造方法において、

前記固相結晶化を行なう前に、前記非晶質半導体膜に、優先的に結晶核が発生する領域を選択的に形成すること

を特徴とする半導体装置の製造方法。

【請求項 2】 前記優先的に結晶核が発生する領域の形成を、選択的に高濃度不純物注入領域を形成することにより行なうことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記優先的に結晶核が発生する領域の形成を、前記非晶質半導体膜に接する絶縁膜に選択的に高シリコン濃度領域を形成することにより行なうことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記優先的に結晶核が発生する領域の形成を、前記非晶質半導体膜と金属との合金または化合物の領域を形成することにより行なうことを特徴とする請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、多結晶シリコン膜を活性層として用いたいわゆる薄膜トランジスタの、その多結晶シリコン膜の形成方法に関するものである。

【0002】

【従来の技術】 絶縁膜上に形成された半導体薄膜を能動素子として用いる薄膜トランジスタは、集積回路の高集積化を図る上で極めて有利である。従来、この種の技術に関するものとしては、例えば特開昭 60-62159 号公報および特開昭 61-116874 号公報に記載されるようなものがあった。これらの文献は、いずれも通常の MOS トランジスタ上に形成される薄膜トランジスタを示すものである。これらの例にも示される様に、薄膜トランジスタを形成する半導体薄膜としては、製造上の容易さから、多結晶シリコン膜が多く用いられている。

【0003】 しかしながら、この多結晶シリコン薄膜トランジスタは、多結晶シリコンの粒内、粒界に存在するため、その特性が単結晶シリコン上のデバイスに比べて、著しく劣ることがわかっている。このため、(1) 水素原子によってこの結晶欠陥を電気的に不活性化させる水素化処理法、(2) 大粒径の多結晶シリコンを用いることにより、結晶粒界の電気特性への影響を小さくする方法などがとられている。

【0004】 最近になって非晶質シリコンを固相で結晶化する方法が開発され、通常 0.1 μm 程度の結晶粒径が 1~5 μm まで大きくなることがわかっている。以下にこの方法を用いた多結晶シリコン薄膜トランジスタの製造方法について図 2 を用いて説明する。

【0005】 まず、図 2 (a) のようにシリコン基板 1

を用意し、絶縁膜 2、ゲート電極 3 を形成する。さらに、その上にゲート絶縁膜 4 を形成する。このゲート絶縁膜 4 は、例えば CVD 法によるシリコン酸化膜でも良いし、ゲート電極として用いた多結晶シリコンの熱酸化でも良い。膜厚は典型的には約 40 nm である。

【0006】 この上に図 2 (b) に示すように、10~100 nm の非晶質シリコン膜 5 を形成する。この非晶質シリコン膜 5 は電子ビーム蒸着法、CVD 法、多結晶シリコン膜へのシリコン・イオン注入法のいずれで形成してもよい。

【0007】 次に図 2 (c) のように、550℃~650℃N、中で 5~15 時間の熱処理を行なうことにより、固相結晶化し、1~5 μm の結晶粒径を有する多結晶シリコン膜 5a が得られる。

【0008】 その後図 2 (d) のように、この多結晶シリコン膜 5a を、パターンニングした後選択的に、リンイオンをイオン注入し、ソース・ドレイン拡散領域 7 を形成する。さらに層間絶縁膜 8、配線電極 9 を形成するのである。

20 【0009】

【発明が解決しようとする課題】 しかしながら、以上述べた方法では、トランジスタ特性のバラツキ（偏差）が大きくなるという欠点があった。

【0010】 この方法では、最大数 μm の結晶粒が得られるが、一方使用するトランジスタの寸法は 1 μm 程度となっている。この場合、チャネル内に粒界が含まれるか、否かにより、トランジスタ特性が大きく異ってしまうことになる。

30 【0011】 結晶核の位置は制御されておらず、また、このため粒径に分布があることから、チャネル内に粒界が含まれるかどうかは確率的事象であってまったく制御不可能である。

【0012】 この発明は以上述べた大粒径化に伴なう、特性上のバラツキという問題点を除去するため、トランジスタのチャネル領域に合わせるように結晶粒界を制御するようにし、それにより特性の優れたトランジスタを、小さなバラツキで形成する方法を提供するものである。

【0013】

40 【課題を解決するための手段】 前述の目的のためこの発明は、固相成長による多結晶薄膜の製造方法において、選択的に優先核発生領域を形成し、その領域に優先的に結晶核を形成せしめることにより、結晶核の位置を制御し、トランジスタのチャネル領域となる領域を該優先核発生領域からの固相成長により、結晶化するようにしたものである。

【0014】

【作用】 前述のように本発明では、固相結晶化の際に、選択的に優先核発生領域を形成するようにしたので、優先的に結晶核の発生する場所を制御性よく形成すること

ができ、薄膜トランジスタのチャネル領域に存在する結晶粒界を制御することが可能となる。

【0015】これにより、従来みられた、大粒径化による特性のバラツキを最少に抑えることができる。

【0016】

【実施例】以下、図1を用いて、本発明の第1の実施例を詳細に説明する。

【0017】まず、従来例と同様に、絶縁膜2、ゲート電極3、ゲート絶縁膜4を有するシリコン基板1を用意する(図1(a))

次に、50nmの非晶質シリコン膜5を形成し、次いで、ソース/ドレイン拡散領域を規定するパターンをフォトリソストを用いて形成し、次いで、 1×10^{14} ions/cm²、40keVの条件でリンイオンをイオン注入し、高濃度領域6を形成する(この領域は将来ソース/ドレイン領域となる)(図1(b))

その後、N₂中で600℃、15Hの熱処理を行なう。この時、図3熱処理時間と結晶化率の関係に示すように、高濃度にドーピングした領域程、結晶核の発生が速く、結晶化率も速いことから、まず、高濃度領域6から多結晶化が始まる。つまり、この高濃度領域6は優先核発生領域と称する領域である。そして、低濃度(またはドーピングしていない)領域が結晶化を開始する時間には、高濃度領域6の結晶化は終了しているため、低濃度領域は、自由に(ランダムに)核発生・成長を起こすよりは、むしろ、高濃度領域6の多結晶シリコン5aをシード(種)として、固相(エピタキシャル)成長により結晶化が進む。このため、高濃度領域6に挟まれたチャネル領域は、自由な(ランダムな)核発生を起こすことなく、両側の高濃度領域6から結晶化が始まる。これにより、チャネル領域は結晶粒界の位置が制御されかつ必ず1コだけの結晶粒界が存在することになる。(図1(c))

その後、多結晶シリコン膜5aをパターニング/分離した後、必要があればイオン注入種の活性化熱処理を行ない、さらに層間絶縁膜8、配線電極9を形成する。さらに必要ならば、層間絶縁膜、配線電極を形成し、多層配線としてもよい。

【0018】次に、図5を用いて、本発明の第2の実施例を詳細に説明する。

【0019】まず、従来例と同様に絶縁膜2、ゲート電極3、ゲート絶縁膜4を有するシリコン基板1を用意する(図5(a))

そして、イオン注入により選択的にドーズ量 10^{18} cm⁻²程度のシリコン/イオン注入を行ない、絶縁膜2の表面からゲート絶縁膜4の両側部にかけて高シリコン濃度領域10を形成する。(図5(b))

次いで、厚さ50nmの非晶質シリコン膜5を形成する。(図5(c))

その後、N₂中で600℃、15H程度の熱処理を行な

う。この時、高シリコン濃度領域10では結晶核の発生が速いため、まず、高シリコン濃度領域10から、多結晶化が始まる。即ち、この高シリコン濃度領域10が優先核発生領域である。そして、この領域10をシード(種)として固相(エピタキシャル)成長により結晶化が進み、多結晶シリコン膜5aとなっていく。これにより将来チャネルとなる領域は結晶粒界の位置が制御され、かつ、必ず1コだけの結晶粒界が存在することになる。(図5(d))

10 その後多結晶シリコン膜5aをパターニング/分離した後、ソース/ドレイン形成のためのイオン注入/活性化熱処理を行ない、さらに層間絶縁膜8、配線電極9を形成する。必要があれば、さらに層間絶縁膜、配線電極を形成し、多層配線としてもよい。(図5(e))

さらに図6を用いて、第3の実施例について説明する。

【0020】まず、従来例と同様に、絶縁膜2、ゲート電極3、ゲート絶縁膜4を有するシリコン基板1を用意し、さらに50nmの非晶質シリコン膜5を形成する。

(図6(a))

20 次いで、非晶質シリコン膜5上にゲート電極3の両側部の上に少しかかる程度選択的に20~50nmの金属膜11を形成する。この形成法としては、フォトリソグラフィ技術を用いた選択エッチング法によってもよいし、イオンビームを利用したイオン・アシスト・CVD法などでもよい。(図6(b))

その後、N₂中で600℃、15H程度の熱処理を行なう。この時金属膜11の種類を適切に選べば、金属膜11と非晶質シリコン膜5が反応し合金または金属間化合物を形成する。前者の例はAu(金)などであり、後者の例はPt(白金)、Pd(パラジウム)などである。これらの金属は非晶質シリコンと反応すると結晶または、多結晶になるから、この(多)結晶領域即ち優先核発生領域をシード(種)として固相(エピタキシャル)成長により結晶化が進み、多結晶シリコン膜5aとなる。これにより将来チャネルとなる領域は結晶粒界の位置が制御され、かつ、必ず1コだけの結晶粒界が存在することになる(図6(c))

その後、多結晶シリコン膜5aをパターニング/分離した後ソース/ドレイン形成のためのイオン注入/活性化熱処理を行ない、さらに層間絶縁膜8、配線電極9を形成する。必要があればさらに、層間絶縁膜、配線電極を形成し、多層配線としてもよい(図6(d))。

【0021】以上説明した実施例では、優先核発生領域をソース/ドレイン領域7と同一としたが、高濃度領域6とソース/ドレイン領域7の位置関係についてはこれに限るものではない。例えば図4(a)に示すように、優先核発生領域がチャネル領域を除き、かつ、ソース/ドレイン領域を完全に含んでいれば、多結晶シリコン膜のパターニングにより、チャネル領域とソース/ドレイン領域が形成できる。

50

【0022】また図4(b)のように、ソース／ドレイン領域に、優先核発生領域が含まれていれば、同様の結晶粒界が形成可能である。

【0023】さらに、優先核発生領域が素子領域外にあっても良い。この場合、優先核発生領域は、素子領域を分離する工程により素子領域に影響を与えなくなる。例えば、図4(c)のように、チャンネル領域の脇横にあるとすると、生成される結晶粒界はチャンネルの電流方向に平行となり、電気特性に与える結晶粒界の影響をより小さくすることができる。

【0024】また、本実施例はゲート電極がチャンネル領域の下にある、いわゆる逆構造トランジスタの例であるが、順方向トランジスタにおいても、ゲート電極とソース／ドレイン領域の形成を別パターンにより行なう（非セルフアライン方式）ならば、本実施例とほぼ同様に実施できる。

【0025】さらに、ソース／ドレイン領域をゲート電極に自己整合的に形成する方式（セルフアライン方式）においても、ゲート電極形成までの工程を非晶質シリコンが結晶化する温度（約550℃）以下であれば本発明は適用可能である。

【0026】さらにまた、実施例としてMOS型電界効果トランジスタを使用した例を示したが、多結晶シリコン薄膜を用い、優先核発生領域となる領域を有していれば、これに限るものではない。例えば、接合型電界効果トランジスタ、バイポーラ型トランジスタ、抵抗器などにも応用可能である。

【0027】

【発明の効果】以上述べたように、この発明によれば、

固相結晶化の際に、選択的に優先核発生領域を形成するようにしたので、優先的に結晶核の発生する場所を制御性よく形成することができ、薄膜トランジスタのチャンネル領域に存在する結晶粒界を制御することが可能となる。

【0028】これにより、従来みられた大粒径化による特性のバラツキを最少に抑えることができる。

【0029】また、第1の実施例では、従来、多結晶シリコン膜形成後行っていたソース／ドレイン形成のためのイオン注入を固相結晶化前に持ってきただけであるため、工程は増加しておらず、従来の工程数のまま、特性の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例

【図2】従来例

【図3】熱処理時間と結晶化率の関係

【図4】本発明により作成した素子の配置例

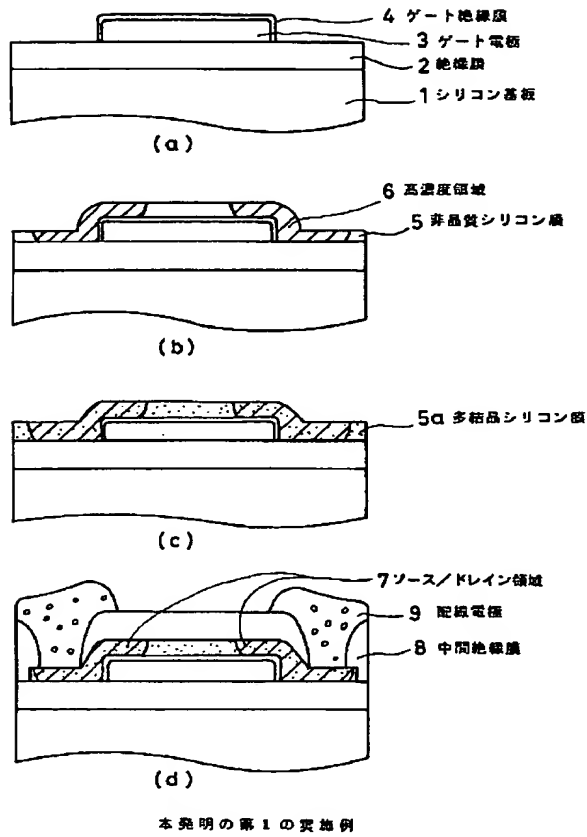
【図5】本発明の第2の実施例

【図6】本発明の第3の実施例

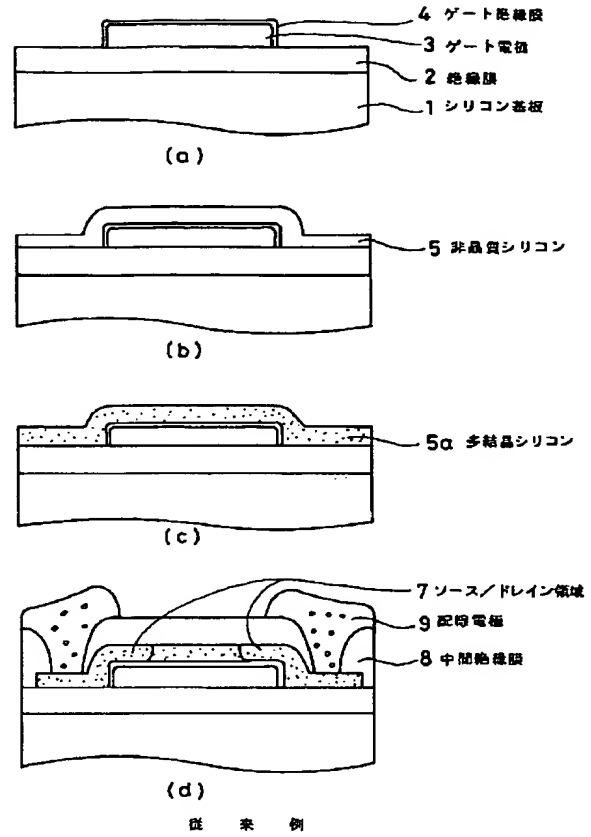
【符号の説明】

- 1 シリコン基板
- 2 絶縁膜
- 3 ゲート電極
- 4 ゲート絶縁膜
- 5 非晶質シリコン膜
- 5 a 多結晶シリコン膜
- 6 高濃度領域
- 10 高シリコン濃度領域
- 11 金属膜

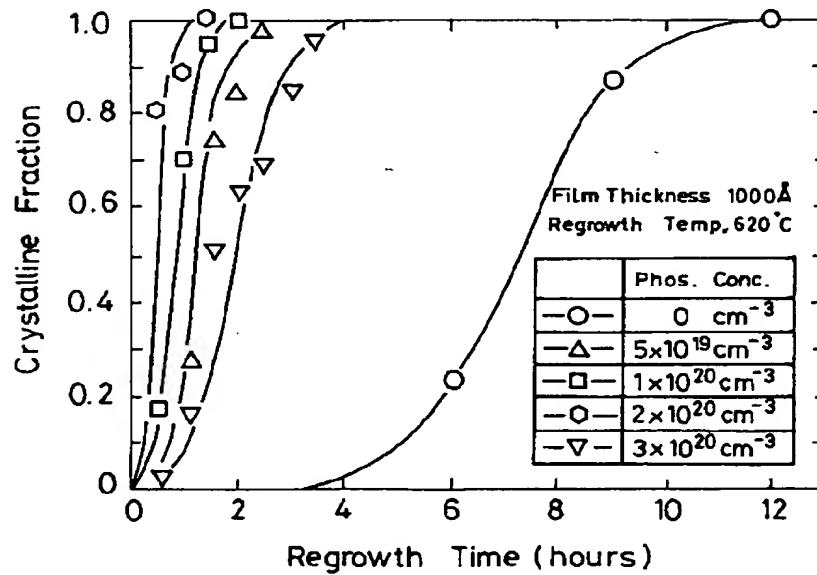
【図 1】



【図 2】

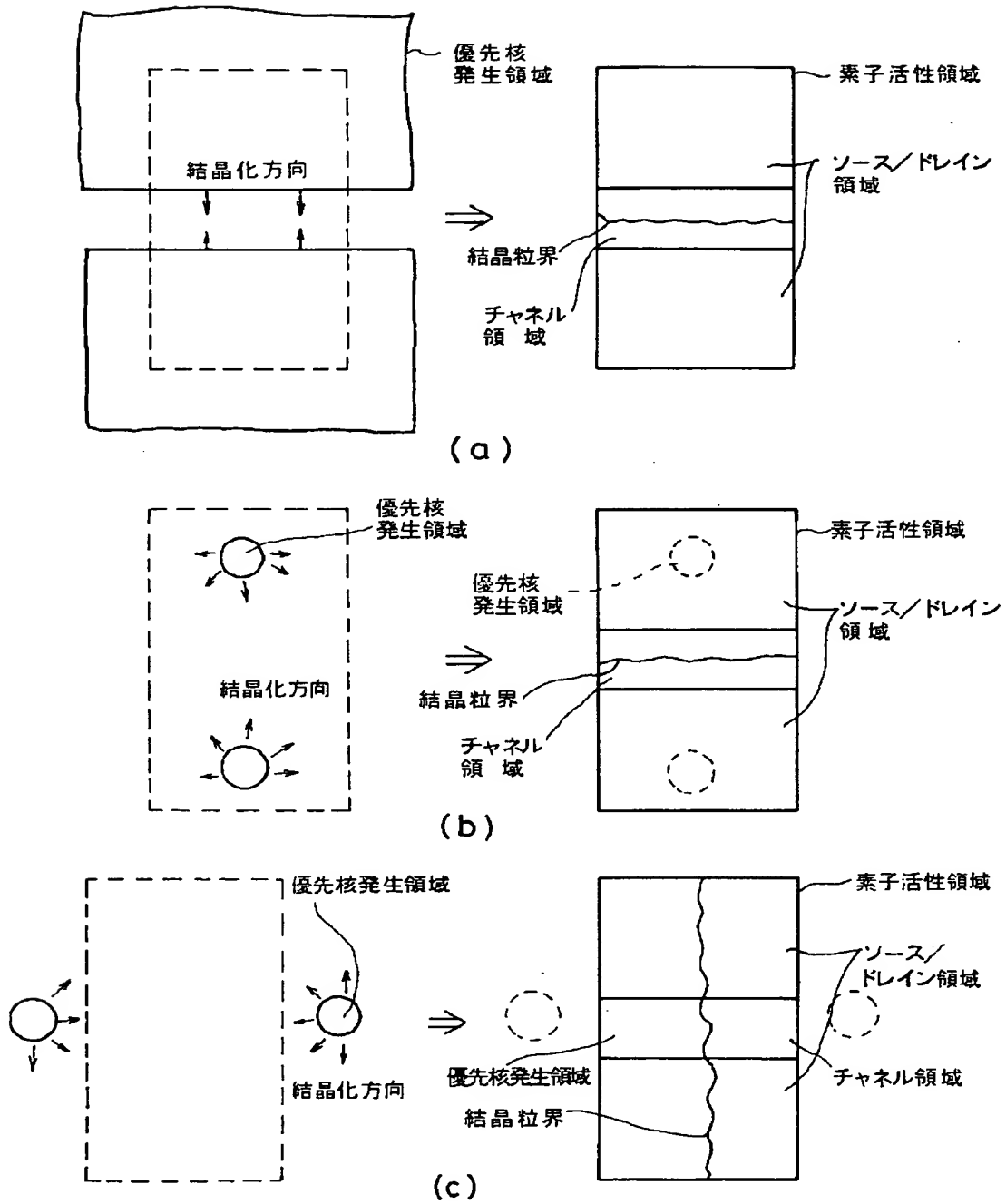


【図 3】



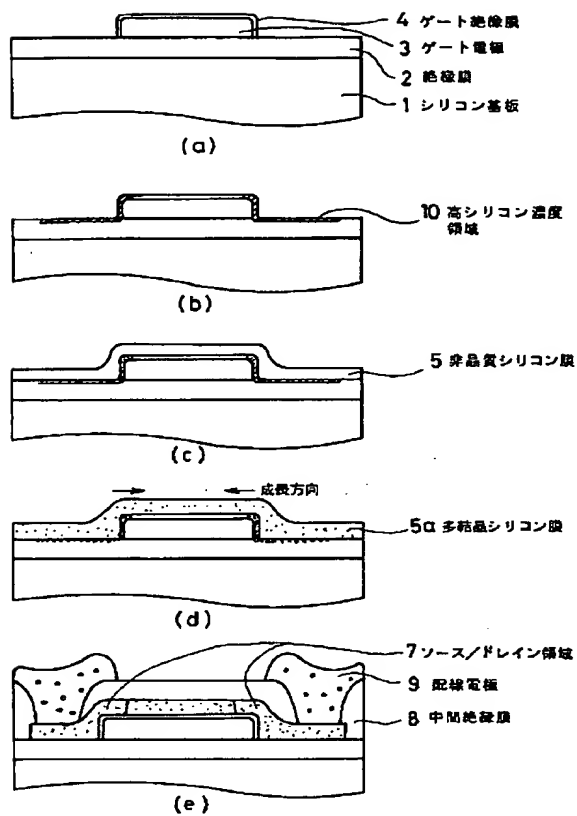
熱処理時間と結晶化率の関係

【図 4】



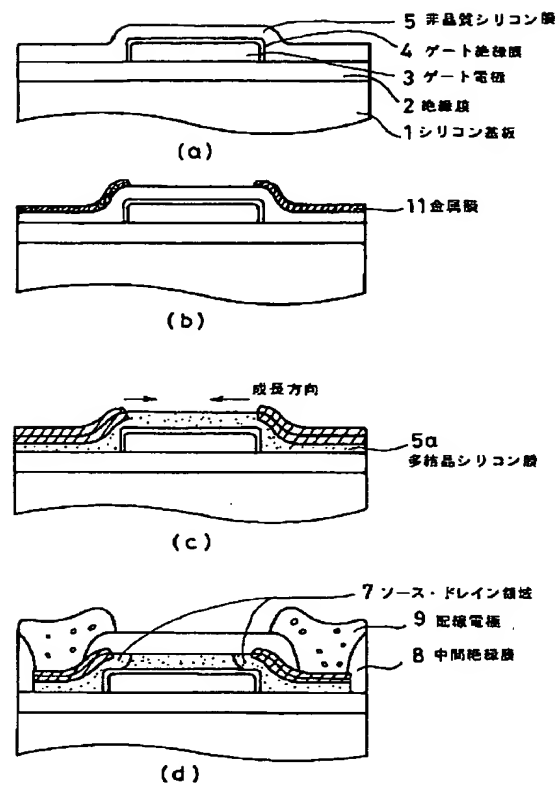
本発明により作成した素子の平面配置例

【図5】



本発明の第1の実施例

【図6】



本発明の第2の実施例